

478127 – Patent Information

**BEST AVAILABLE COPY**

Published Serial No. 478127

**Title**                      **Dual chip package structure and the manufacturing method thereof wherein the electrical bonding surfaces of the two fixed chips are facing toward the same direction**

**Patent type**              **B**

**Date of Grant**          **2002/3/1**

**Application Number**   **089127916**

**Filing Date**            **2000/12/22**

**IPC**                      **H01L23/495**

**Inventor**                **TSENG, NAN-HSIN(TW)**  
 **TSAI, TENG-YUEH(TW)**  
 **HUANG, MING-LIANG(TW)**  
 **LIN, CHUNG-HUNG(TW)**

<b>Applicant</b>	<b>Name</b>	<b>Country</b>	<b>Individual/Company</b>
	<b>CHIPMOS TECHNOLOGIES</b>	<b>TW</b>	<b>Company</b>
	<b>INC.</b>		

**Abstract**                **A dual chip package structure and the manufacturing method thereof are disclosed, wherein the dual chip package structure has two chips fixed upward and downward by the die pad of lead frame, and the electrical bonding surfaces of the two fixed chips are facing toward the same direction, so that they are easily manufactured without flipping when they are electrically connected, and extra substrate or other lead frames are not required to simplify the parts.**

中華民國專利公報 [19] [12]

[11]公告編號：478127

[44]中華民國 91年(2002) 03月01日

發明

全 6 頁

[51] IntCl<sup>07</sup> : H01L23/495

[54]名 稱：雙晶片封裝結構及其製造方法

[21]申請案號：089127916

[22]申請日期：中華民國 89年(2000) 12月22日

[72]發明人：

曾南欣  
蔡登岳  
黃銘亮  
林俊宏

台中縣外埔鄉鐵山村長生路一八八號  
嘉義縣龍港村九十七號  
高雄市三民區大豐一路——之六號六樓之二  
台南縣佳里鎮嘉福里十之六號

[71]申請人：

南茂科技股份有限公司

新竹科學工業園區研發一路一號

[74]代理人：張啓威 先生

[57]申請專利範圍：

1.一種雙晶片封裝結構，其包含有：  
一導線架，具有一晶墊及複數個引指，其中該晶墊係用以固定第二晶片及第二晶片；

第一晶片，位於上述晶墊之下方且第一晶片之電性接合面係朝上；

第二晶片，位於上述晶墊之上方且第二晶片之電性接合面係朝上；及

一封膠體，具有不導電性，用以保護第一晶片及第二晶片。

2.如申請專利範圍第1項所述之雙晶片封裝結構，其中第二晶片之電性接合面係不小於第一晶片之電性接合面。

3.如申請專利範圍第2項所述之雙晶片封裝結構，其中第二晶片係與第一晶片實質相同。

4.如申請專利範圍第1項所述之雙晶片封裝結構，其中該晶墊係不大於第一晶片之電性接合面。

5.如申請專利範圍第1項所述之雙晶片封

裝結構，其另包含有複數個第一導線，以電性連接第一晶片之電性接合面與導線架之引指。

6.如申請專利範圍第1或4項所述之雙晶片封裝結構，其另包含有複數個第二導線，以電性連接第二晶片之電性接合面與導線架之引指。

7.如申請專利範圍第1項所述之雙晶片封裝結構，其另包含有一膠帶。

10. 8.如申請專利範圍第1項所述之雙晶片封裝結構，其中導線架之引指係具有不在同一平面之第一內指部及第二內指部。

15. 9.如申請專利範圍第1項所述之雙晶片封裝結構，其中導線架之引指之內指部係與晶墊在同一平面。

20. 10.一種雙晶片封裝方法，其包含有：  
提供一導線架，該導線架係具有一晶墊及複數個引指；

貼附固定第一晶片，以該晶墊之一表

面貼合第一晶片之電性接合面，其中該晶墊係不完全覆蓋第一晶片之電性接合面；

電性連接第一晶片與導線架之引指；

貼附固定第二晶片，以該晶墊之另一表面貼合第二晶片之反面；

電性連接第二晶片與導線架之引指；及

封膠第一晶片及第二晶片。

11.如申請專利範圍第10項所述之雙晶片封裝方法，其中在貼附固定第一晶片之步驟中該晶墊係不大於第一晶片之電性接合面。

12.如申請專利範圍第10項所述之雙晶片封裝方法，其中在電性連接第一晶片與導線架之引指之步驟中係以複數個第一導線打線連接第一晶片與導線架之引指，其中第一導線之一端係位於第一晶片之電性接合面。

13.如申請專利範圍第10項所述之雙晶片封裝方法，其中在貼附固定第二晶片之步驟中第二晶片之電性接合面係不小於第一晶片之電性接合面。

14.如申請專利範圍第11項所述之雙晶片封裝方法，其中第二晶片係與第一晶片實質相同。

15.如申請專利範圍第10或12項所述之雙晶片封裝方法，其中在電性連接第二晶片與導線架之引指之步驟中係以複數個第二導線打線連接第二晶片與導線架之引指，其中第二導線之一端係位於第二晶片之電性接合面。

16.如申請專利範圍第10項所述之雙晶片封裝方法，其中在提供一導線架之步驟中該引指係彎折形成第一內指部及第二內指部。

17.如申請專利範圍第10項所述之雙晶片封裝方法，其中在提供一導線架之步驟中上述引指之內指部與晶墊係在同一平面。

18.一種多晶片結合結構，其包含有：

一導線架，具有一晶墊及複數個引指，其中該晶墊係用以固定第一晶片及第二晶片；

5. 第一晶片，結合於上述晶墊之一表面；及

第二晶片，結合於上述晶墊之另一表面；

10. 當第一晶片與第二晶片結合於導線架，第一晶片與第二晶片之電性接合面均朝向同一方向。

19.如申請專利範圍第18項所述之多晶片結合結構，其中第二晶片係與第一晶片相同。

15. 圖式簡單說明：

第1a圖：依本發明之雙晶片封裝方法之第一具體實施例提供一導線架示意圖；

20. 第1b圖：依本發明之雙晶片封裝方法之第一具體實施例粘貼第一晶片示意圖；

第1c圖：依本發明之雙晶片封裝方法之第一具體實施例打線第一晶片示意圖；

25. 第1d圖：依本發明之雙晶片封裝方法之第一具體實施例粘貼第二晶片示意圖；

第1e圖：依本發明之雙晶片封裝方法之第一具體實施例打線第二晶片示意圖；

30. 第1f圖：依本發明之雙晶片封裝方法之第一具體實施例封膠雙晶片示意圖；

35. 第2a圖：依本發明之雙晶片封裝方法之第二具體實施例提供一導線架示意圖；

第2b圖：依本發明之雙晶片封裝方法之第二具體實施例粘貼第一晶片示意圖；

40. 第2c圖：依本發明之雙晶片封裝方

(3).

5

法之第二具體實施例打線第一晶片示意圖；

第2d圖：依本發明之雙晶片封裝方法之第二具體實施例粘貼第二晶片示意圖；

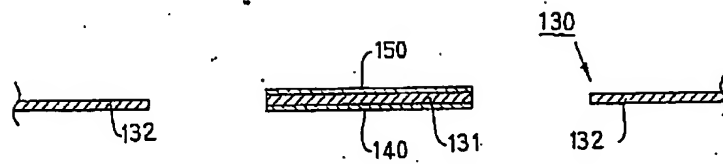
第2e圖：依本發明之雙晶片封裝方

6

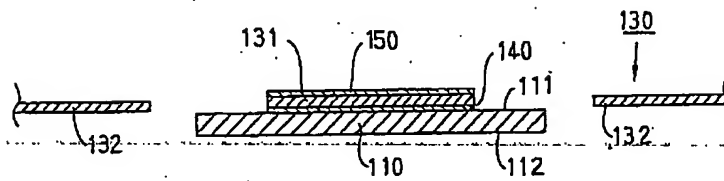
法之第二具體實施例打線第二晶片示意圖；及

第2f圖：依本發明之雙晶片封裝方法之第二具體實施例封膠雙晶片示意圖。

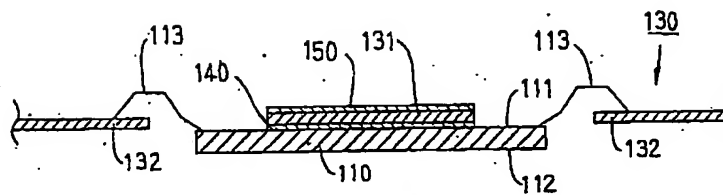
5.



第1a圖

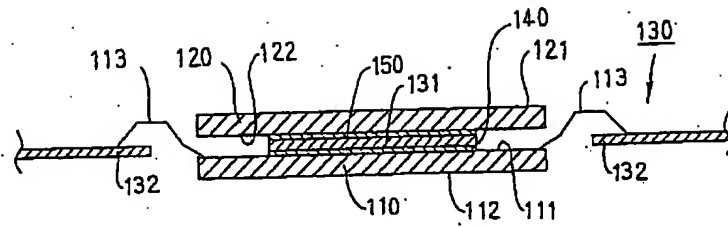


第1b圖

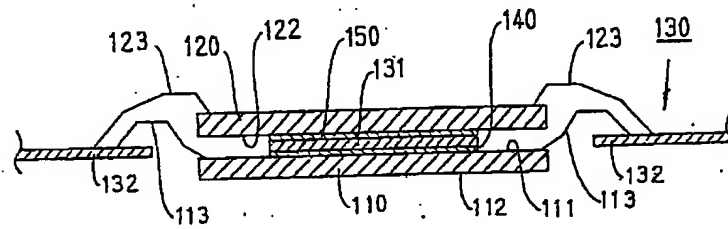


第1c圖

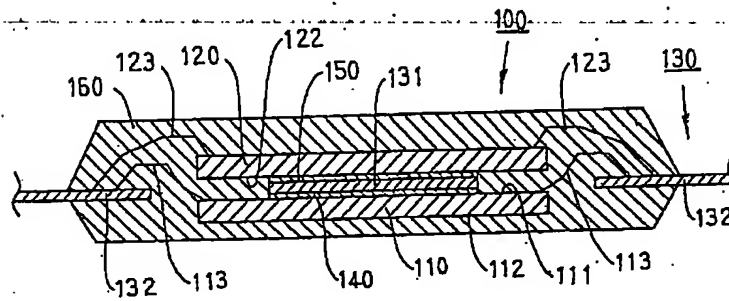
(4)



第 1d 圖



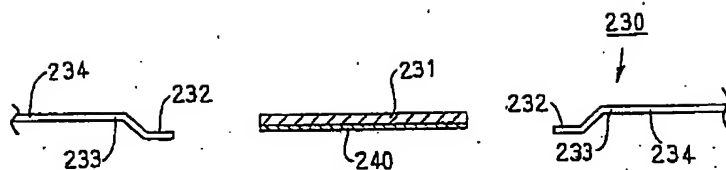
第 1e 圖



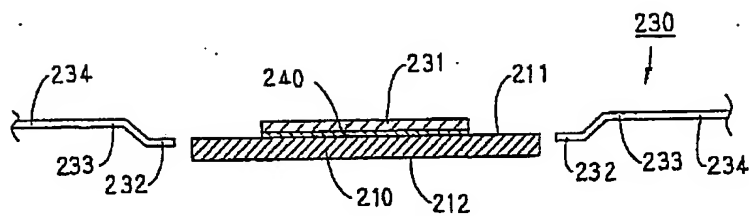
第 1f 圖

(5)

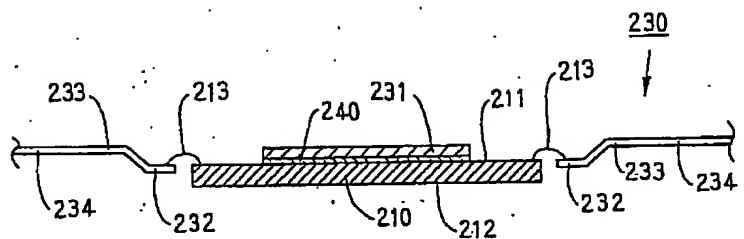
BEST AVAILABLE COPY



第2a圖



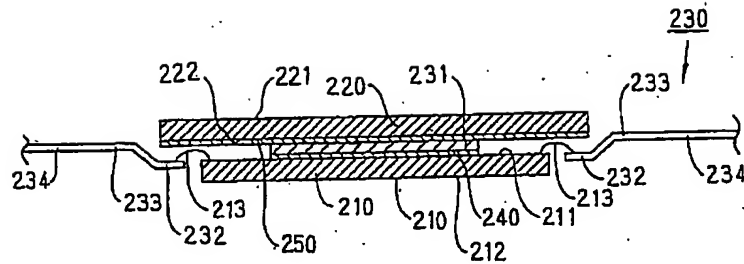
第2b圖



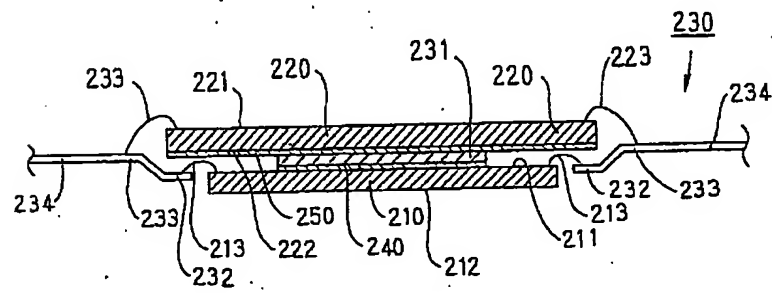
第2c圖

(6)

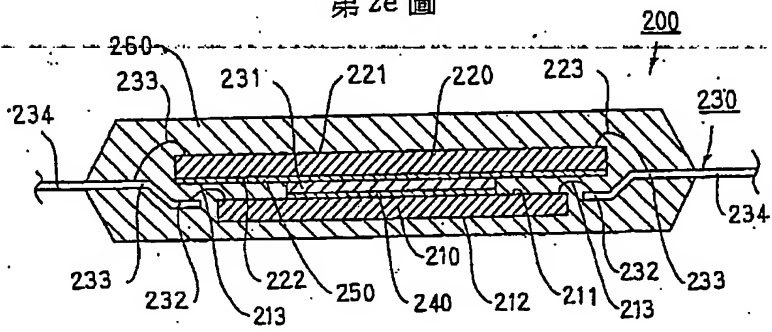
BEST AVAILABLE COPY



第2d圖



第2e圖



第2f圖